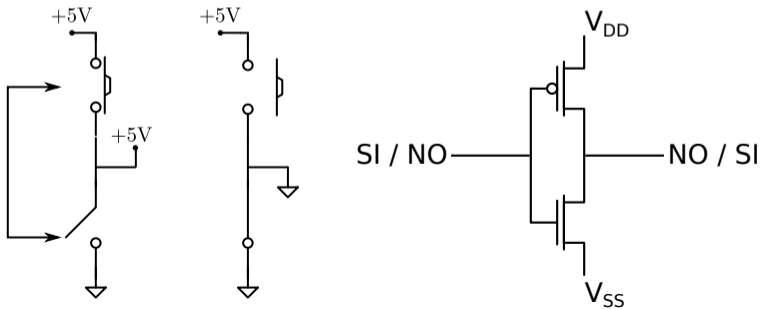


Circuitos Digitales

Laboratorio de electrónica - 2C19

30 de Octubre de 2019



Electrónica Digital

Sistema digital

- ▶ Representación discreta
- ▶ n dígitos binarios (bits) pueden representar 2^n valores distintos
- ▶ Representación de números naturales
- ▶ Reglas de notación y aritmética
- ▶ Distintas codificaciones (BCD, bin, ASCII₈)

Posicional	Polinomial	Representación
$(17)_{10}$	$1 \times 10^1 + 7 \times 10^0$	17
$(10001)_2$	$1 \times 2^4 + 0 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 1 \times 2^0$	17

Clasificación

Combinacional

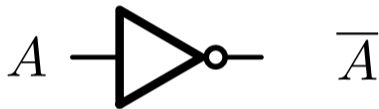
Operaciones lógicas cuyo resultado sólo depende de las variables de entrada

Secuencial

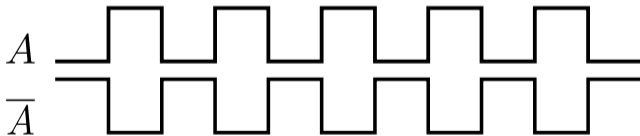
Operaciones que, a partir de realimentación y retrasos, dependen de los estados anteriores (y entradas)

- ▶ Asíncrono: los cambios se ejecutan a la velocidad de los dispositivos
- ▶ Síncrono: los cambios se ejecutan con una señal externa (reloj)

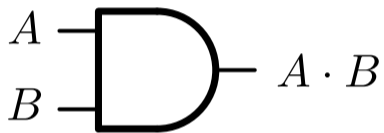
Combinacional: Compuertas lógicas



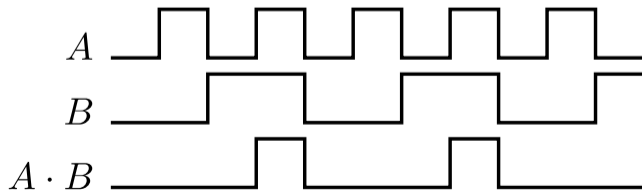
A	\bar{A}
0	1
1	0



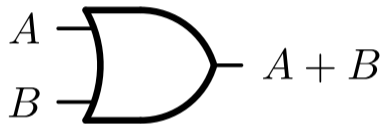
Combinacional: Compuertas lógicas



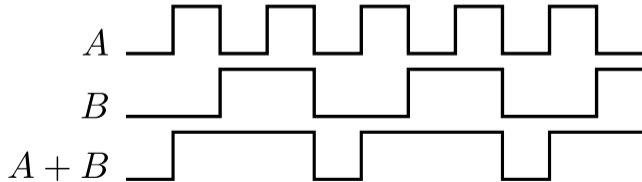
A	B	$A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1



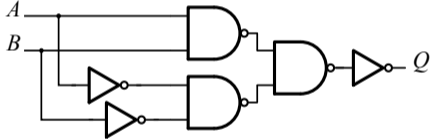
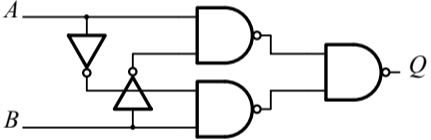
Combinacional: Compuertas lógicas



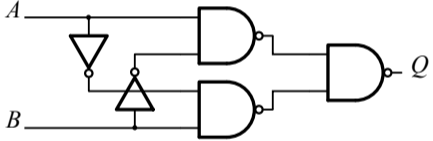
A	B	$A \cdot B$
0	0	0
0	1	1
1	0	1
1	1	1



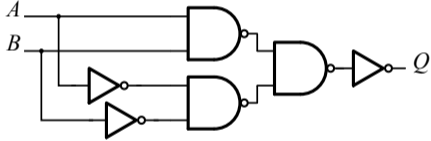
Combinacional: Equivalencias



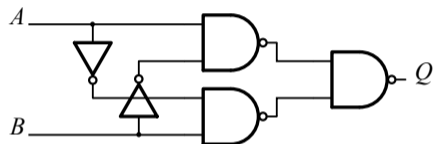
Combinacional: Equivalencias



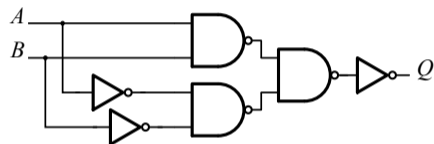
A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0



Combinacional: Equivalencias



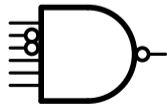
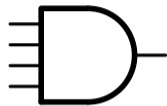
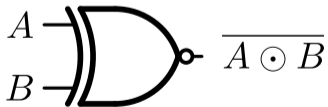
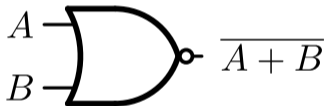
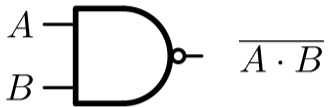
A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0



Leyes de De Morgan

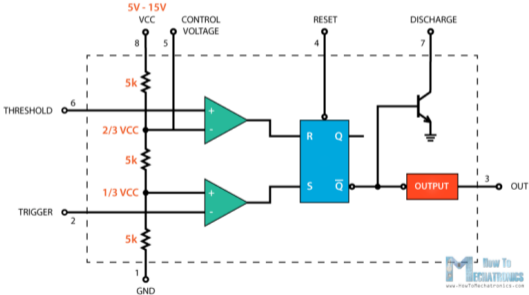
- ▶ $\overline{A + B} = \overline{A} \cdot \overline{B}$
- ▶ $\overline{A \cdot B} = \overline{A} + \overline{B}$

Combinacional: Más compuertas

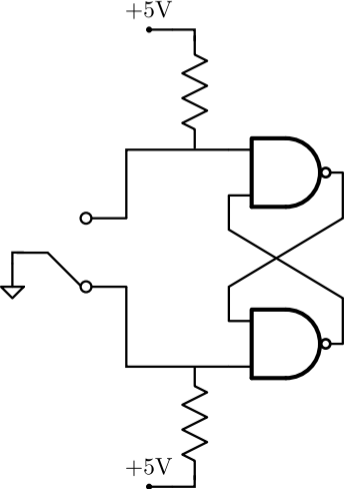


Secuencial: Asíncrono

Ver FF del 555

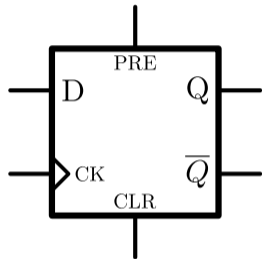


Llave anti-rebote



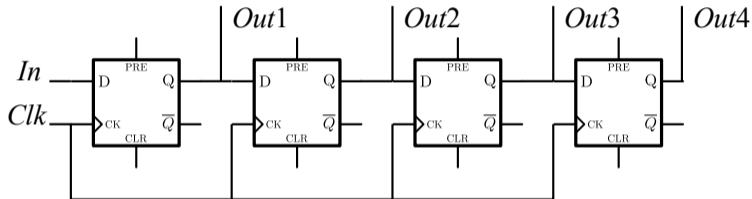
Secuencial: Sincrónico

Latch / FF



INPUTS				OUTPUTS	
\overline{PRE}	\overline{CLR}	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H \uparrow	H \uparrow
H	H	\uparrow	H	H	L
H	H	\uparrow	L	L	H
H	H	L	X	Q ₀	\bar{Q} ₀

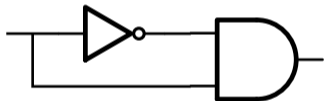
Shift Register



- ▶ Línea de retardo
- ▶ Conversor Paralelo-Serie
- ▶ Detector de patrones
- ▶ Contadores
- ▶ LFSR - Generador de números random

Combinacional: Detector de flancos

Ascendente

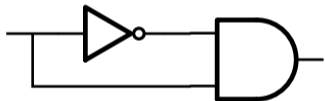


Descendiente

?

Combinacional: Detector de flancos

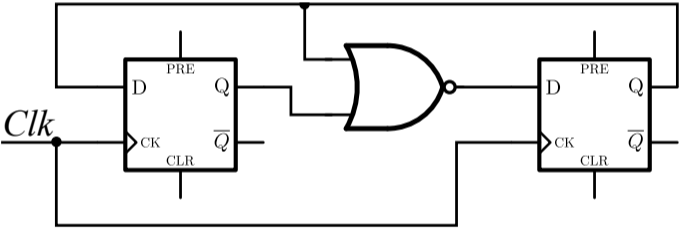
Ascendente



Descendente

?

Secuencial: Divisores de frecuencia



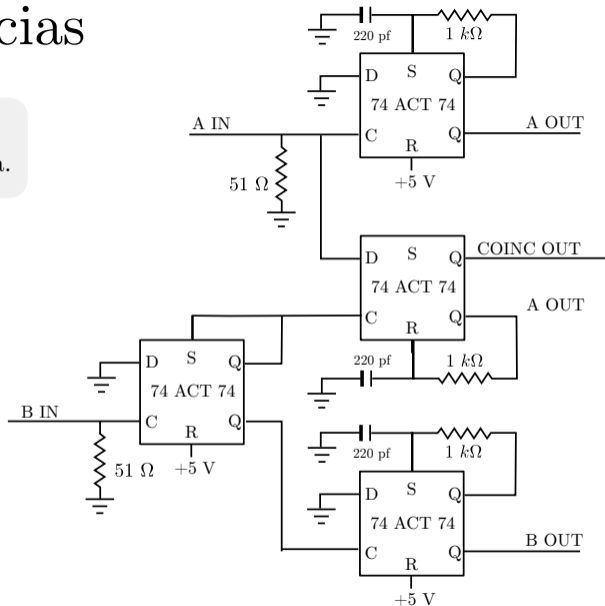
<i>Q</i> ₁	<i>Q</i> ₂	<i>Clk</i>
		0
		1
		0
		1
		0
		1
		0
		1

Detector de Coincidencias

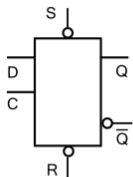
Genera una señal a la salida cuando ocurren "simultáneamente" dos eventos a la entrada.

Evento: flanco ascendente o estado HIGH en las entradas.

Simultáneamente: Eventos que ocurren dentro de alguna ventana temporal.

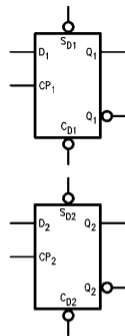
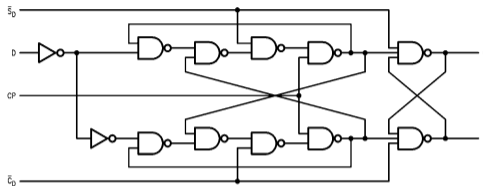


74-XX-74 (Flip-Flip tipo D)



S: Set
 R: Reset
 C: Clock
 D: data
 Q y \bar{Q} : salidas

Logic Diagram



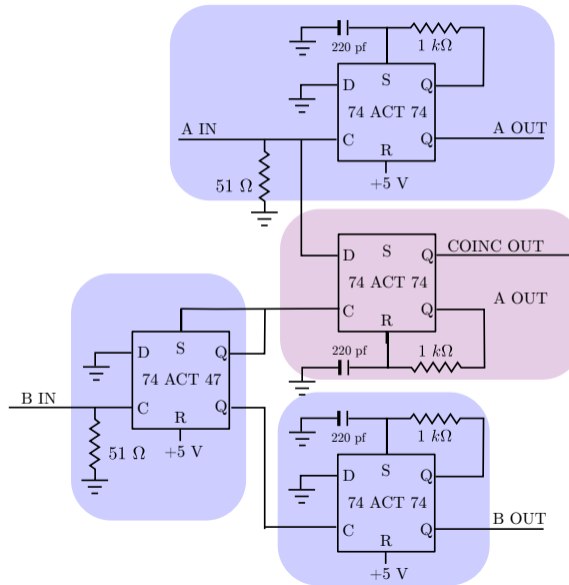
Inputs				Outputs	
S	R	C	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	↗	H	H	L
H	H	↗	L	L	H
H	H	L	X	Q_0	\bar{Q}_0

Pone un estado a la salida independiente de C y D

Copia en la salida D cuando ocurre un flanco a asc. en C

Mantiene el estado previo

Detector de Coincidencias



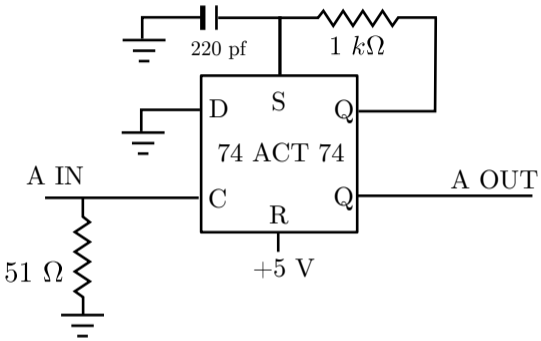
Monoestables

Generan un pulso de duración proporcional a RC cuando hay un flanco ascendente en C

Coincidencias

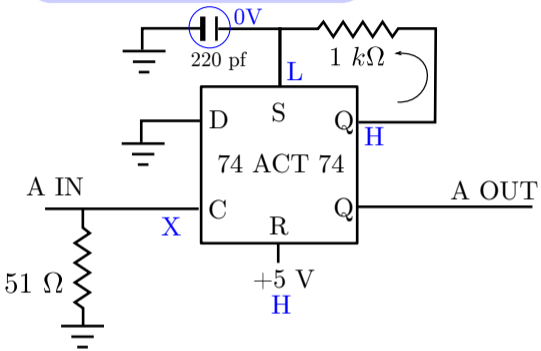
Generan un pulso de duración proporcional a RC cuando hay una Coincidencia entre A_{IN} y B_{IN}

Monoestables



Inputs				Outputs	
S	R	C	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	\sim	H	H	L
H	H	\sim	L	L	H
H	H	L	X	Q ₀	\bar{Q}_0

Monoestables



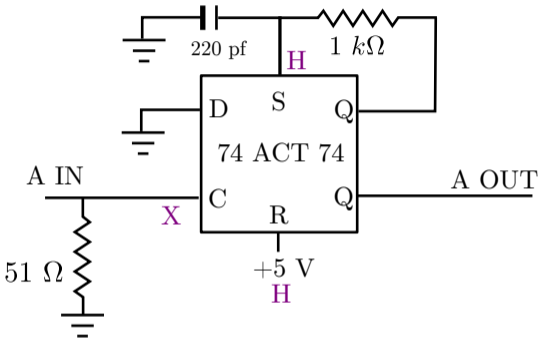
$t=0$

S	R	C	D	Q	\bar{Q}
L	H	X	L	H	L

Se empieza a cargar el Capacitor

Inputs				Outputs	
S	R	C	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	\sim	H	H	L
H	H	\sim	L	L	H
H	H	L	X	Q_0	\bar{Q}_0

Monoestables



Inputs				Outputs	
S	R	C	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	\sim	H	H	L
H	H	\sim	L	L	H
H	H	L	X	Q_0	\bar{Q}_0

$t=0$

S	R	C	D	Q	\bar{Q}
L	H	X	L	H	L

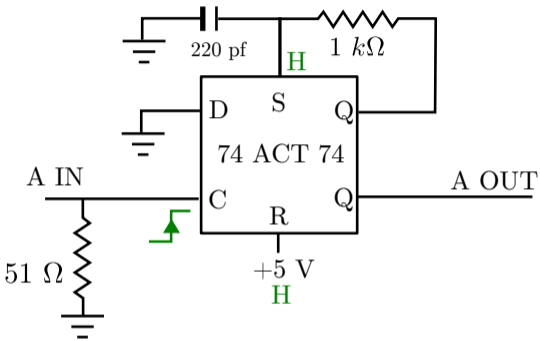
Se empieza a cargar el Capacitor

$t=RC$

S	R	C	D	Q	\bar{Q}
H	H	L	L	$Q_0(H)$	$\bar{Q}_0(L)$

Mantiene el estado a la salida y está listo para recibir un evento a la entrada.

Monoestables



Inputs				Outputs	
S	R	C	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	↗	H	H	L
H	H	↘	L	L	H
H	H	L	X	Q ₀	\bar{Q}_0



$t=0$

S	R	C	D	Q	\bar{Q}
L	H	X	L	H	L

Se empieza a cargar el Capacitor

$t=RC$

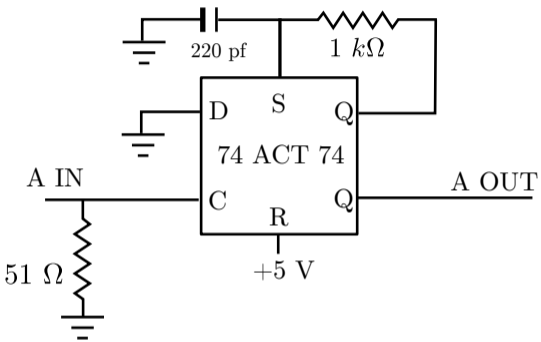
S	R	C	D	Q	\bar{Q}
H	H	L	L	Q ₀ (H)	\bar{Q}_0 (L)

Mantiene el estado a la salida y está listo para recibir un evento a la entrada.

$t = t_e$

S	R	C	D	Q	\bar{Q}
H	H	↗	L	L	H

Monoestables



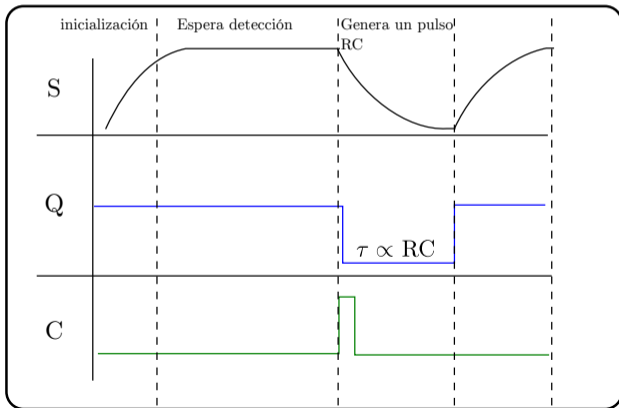
Inputs				Outputs	
S	R	C	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	↗	H	H	L
H	H	↘	L	L	H
H	H	L	X	Q ₀	\bar{Q}_0

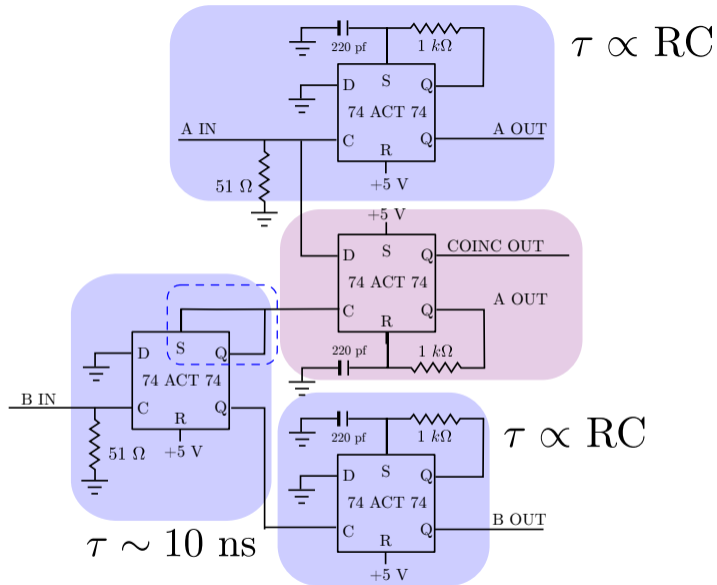
$$t = t_e + RC$$

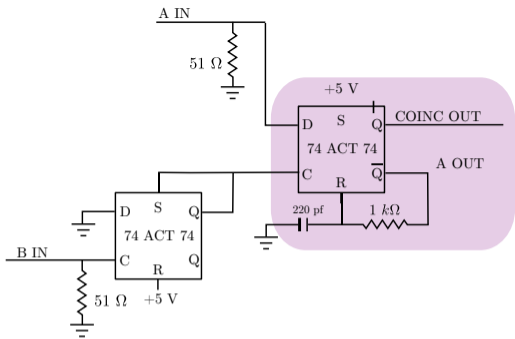
S	R	C	D	Q	\bar{Q}
L	H	X	L	H	L

L	H	X	L	H	L
---	---	---	---	---	---

Termina el evento

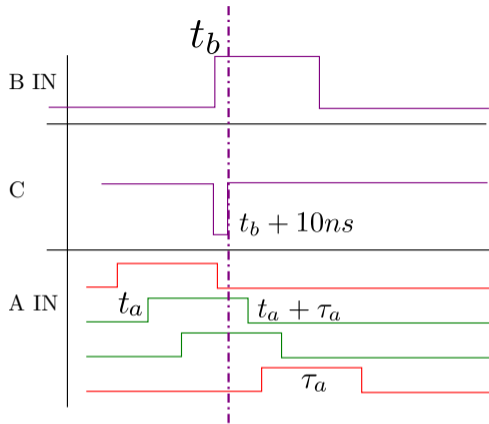






- $t=0$: inicialización
- $t=RC$: Espera eventos en Clock
- t_e : Copia estado de D a Q
 - Si D=L, No cambia
 - Si D=H, genera un pulso de largo RC en Q
- $t_e + RC$ = Listo para detectar otra coincidencia

		Inputs				Outputs		
		S	R	C	D	Q	\bar{Q}	
inicialización		L	H	X	X	H	L	$t=0$
		H	L	X	X	L	H	
Busca coincidencias		L	L	X	X	H	H	t_e
		H	H	↗	H	H	L	
		H	H	↗	L	L	H	
Espera det.		H	H	L	X	Q_0	\bar{Q}_0	$t=RC$ $t_e + 2RC$



- $t=0$: inicialización
- $t=RC$: Espera eventos en Clock
- t_e : Copia estado de D a Q
 - Si D=L, No cambia
 - Si D=H, genera un pulso de largo RC en Q
- $t_e + RC$ = Listo para detectar otra coincidencia

Hay una coincidencia si en el flanco ascendente de C, el estado de D es H.

$$t_a \leq t_b + 10ns \leq t_a + \tau_a$$

¿Cómo se puede agrandar o achicar la ventana de coincidencia?

¿Cuál es el tiempo mínimo entre coincidencias?